

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000114896 A

(43) Date of publication of application: 21.04.00

(51) Int. Cl.

H03G 3/12  
H03F 1/30  
// H03H 19/00

(21) Application number: 10284668

(71) Applicant: NEC CORP

(22) Date of filing: 07.10.98

(72) Inventor: URAYAMA YOJI

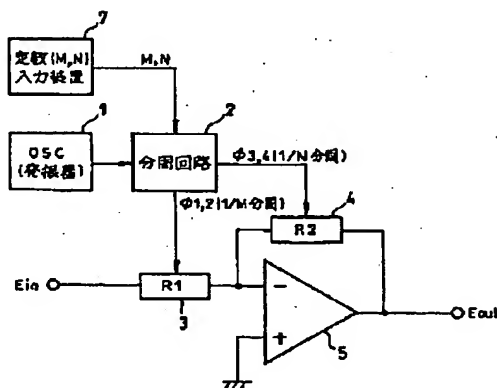
(54) CIRCUIT AND METHOD FOR CONTROLLING GAIN

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce temperature dependence in the gain of a gain control circuit.

SOLUTION: A clock signal from an oscillator 1 is inputted to a frequency divider circuit 2 and a constant number (gain control constant) from the outside is inputted from a constant input device 7 to the frequency divider circuit 2. The frequency divider circuit 2 divides the frequency of the clock signal from the oscillator 1 according to the constant from the constant input device 7 and the frequency divided clock signal is respectively inputted to equivalent resistors 3 and 4 composed of switched capacitors. The equivalent resistors 3 and 4 are variable resistors to change resistance corresponding to the frequency of a clock signal to be driven and the gain of this circuit is determined by the resistance ratio of the variable resistance values, namely, the frequency dividing ratio of the frequency divider circuit 2.



BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-114896

(P2000-114896A)

(43) 公開日 平成12年4月21日 (2000.4.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト <sup>*</sup> (参考)
H 0 3 G 3/12		H 0 3 G 3/12	D 5 J 0 2 3
H 0 3 F 1/30		H 0 3 F 1/30	A 5 J 0 9 0
// H 0 3 H 19/00		H 0 3 H 19/00	5 J 1 0 0

審査請求 有 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願平10-284668

(22) 出願日 平成10年10月7日 (1998.10.7)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 浦山 祥治

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088812

弁理士 ▲柳▼川 信

最終頁に続く

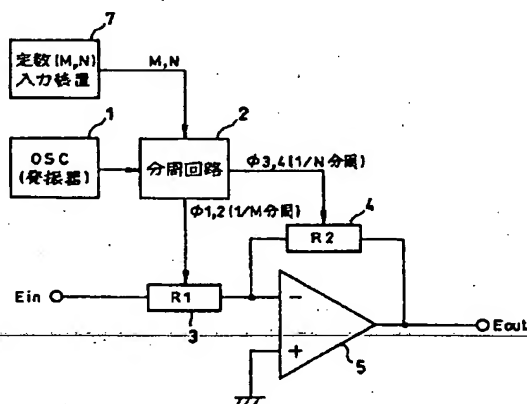
(54) 【発明の名称】 利得制御回路及びその制御方法

(57) 【要約】

【課題】 利得制御回路の利得の温度依存性を低減する。

【解決手段】 発振器1からのクロック信号は分周回路2に入力され、外部からの定数(利得制御定数)は、定数入力装置7から分周回路2に入力される。分周回路2は発振器1からのクロック信号周波数を定数入力装置7からの定数に従って分周し、分周されたクロック信号はスイッチドキャパシタで構成された等価抵抗3,4に夫々入力される。等価抵抗3,4は駆動するクロック信号の周波数によって抵抗値が変化する可変抵抗素子であり、この回路の利得は可変抵抗値の抵抗比、すなわち分周回路2の分周比で決定される。

BEST AVAILABLE COPY



## 【特許請求の範囲】

【請求項1】 第一及び第二の抵抗素子の抵抗値の比により増幅器の利得を決定するようにした利得制御回路であって、前記第一及び第二の抵抗素子として夫々機能する第一及び第二のスイッドキャパシタ回路と、これ等第一及び第二のスイッドキャパシタ回路の各々の駆動のための第一及び第二の駆動クロック信号を生成するクロック信号生成手段と、前記第一及び第二の駆動クロック信号の周期比率を変化制御する制御手段とを含むことを特徴とする利得制御回路。

【請求項2】 前記クロック信号生成手段は、一定周期のクロック信号を発振する発振器と、この一定周期のクロック信号を分周して前記第一及び第二の駆動クロック信号を出力する分周器とを有することを特徴とする請求項1記載の利得制御回路。

【請求項3】 前記制御手段は、前記第一及び第二の駆動クロックを生成するための前記分周器における第一及び第二の分周数を夫々設定する分周数設定手段を含むことを特徴とする請求項2記載の利得制御回路。

【請求項4】 前記分周数設定手段は、前記第一及び第二の分周数を設定するための定数を外部から入力自在であることを特徴とする請求項3記載の利得制御回路。

【請求項5】 前記周期比率は2つの前記定数の比率により定められるようにしたことを特徴とする請求項4記載の利得制御回路。

【請求項6】 増幅器の利得が第一及び第二の抵抗素子の抵抗値の比により決定され、これ等第一及び第二の抵抗素子として第一及び第二のスイッチドキャパシタ回路を使用し、これ等第一及び第二のスイッチドキャパシタ回路を第一及び第二の駆動クロック信号により夫々駆動するようにした利得制御回路の利得制御方法であって、前記第一及び第二のスイッチドキャパシタ回路の各駆動クロックの周期比率により前記利得を決定するようにしたことを特徴とする利得制御方法。

【請求項7】 前記第一及び第二の駆動クロックの周期比率を外部からの設定により行うようにしたことを特徴とする請求項6記載の利得制御方法。

【請求項8】 一定周期のクロック信号を分周器により第一及び第二の分周数で夫々分周して前記第一及び第二の駆動クロックとし、前記第一及び第二の分周数の比率を外部より設定するようにしたことを特徴とする請求項7記載の利得制御方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は利得制御回路及びその制御方法に関し、特に増幅器の利得を決定する抵抗素子としてスイッチドキャパシタ回路を使用した利得制御回路及びその制御方法に関するものである。

【0002】

【従来の技術】 従来、この種の利得制御回路は、例えば

特開平7-40652号公報に示されるように、入力信号に任意の利得を与えることを目的として用いられている。図11は従来の利得制御回路の一例を示すブロック図である。図11においてトランジスタ11のベースに入力信号が入力され、トランジスタ11のコレクタは抵抗素子20を介して直流電源に接続される。トランジスタ11、抵抗素子20、可変抵抗素子16で構成される回路は、入力信号を増幅してコレクタから信号を出力するエミッタ接地型の増幅回路である。

10 【0003】 可変抵抗素子16はいわゆるPINダイオードと呼ばれる可変抵抗素子であり、その抵抗値は流れる直流電流値に反比例して変化する。トランジスタ11のエミッタは可変抵抗素子16と差動回路を構成するトランジスタ13のコレクタに接続されている。可変抵抗素子16の一方はバイパスコンデンサ15を介して接地され、差動回路を構成するトランジスタ12のコレクタに接続される。

20 【0004】 差動回路を構成するトランジスタ12、13は各々のベース電圧によってコレクタ電流を制御でき、トランジスタ12のベースには本利得制御回路における利得制御電圧が入力され、トランジスタ13のベースは直流電源19を介して接地されている。トランジスタ12、13のエミッタは、それぞれ抵抗素子18、17を介して定電流源14に接続される。電源14は一定の電流を流す定電流源回路であり、一方の端子は接地されている。

30 【0005】 次にこの回路の動作を説明する。トランジスタ11に入力された入力信号は増幅された後、コレクタから出力される。前述の通り、トランジスタ11、抵抗素子20、可変抵抗素子16で構成される回路はトランジスタ11を中心とするエミッタ接地型の増幅回路である。

【0006】 この回路の利得はコレクタ抵抗20と可変抵抗16の交流抵抗比によって定まる。可変抵抗16の抵抗値は抵抗を流れる直流電流に反比例して変化し、可変抵抗を流れる電流はトランジスタ12のコレクタ電流である。また、定電流源14に流れる電流はトランジスタ12と13のコレクタ電流の和であり、常に一定である。従って可変抵抗16を流れる電流はトランジスタ12と13のベースに入力する直流電圧の差によって定まる。

【0007】 本回路構成では、トランジスタ13のベースを直流電源19に接続してベースの電圧値は一定にしておき、一方トランジスタ12のベースを本利得制御回路の利得制御端子としている。従って、本回路において、トランジスタ12のベース入力電圧、即ち利得制御端子電圧を変化させ、流れる直流電流に反比例して抵抗値が変化する可変抵抗素子16に流れる直流電流を制御することによって、前述のエミッタ接地増幅回路における抵抗20と可変抵抗16の抵抗比を変化させ、利得制

御を実現している。

【0008】次に、従来の技術の他の一例を示す。従来、この種の利得制御回路は、例えば「1987年、3月、インターナショナル・ジャーナル・オブ・エレクトロニクス、第62巻、第3号417～424頁(International Journal of Electronics Vol. 62, No. 3, p. 417-24)」で示されるように入力信号に任意の利得を与えることを目的として用いられている。

【0009】図12は従来の利得制御回路の一例を示すブロック図である。図12において、29は演算増幅器であり、スイッチ回路21、22、23、31、32、33はアナログMOSトランジスタで実現するMOSスイッチである。またインピーダンス素子24、25、26、34、35、36は受動素子、例えば抵抗やコンデンサなどで実現するインピーダンス素子である。入力信号Vinはスイッチ21に接続され、スイッチ21の一方の端子はインピーダンス素子24を介して演算増幅器29の反転入力端子に接続されている。また、演算増幅器29の非反転入力端子は接地されている。

【0010】図12に示すように、入力側のスイッチとインピーダンス素子は、一つの組として入力端子Vinと演算増幅器29の反転入力端子に並列にm個接続されている。また、演算増幅器の反転入力端子はスイッチ31に接続されており、インピーダンス素子34をして演算増幅器の出力端子、すなわちVout端子に接続されている。入力側と同様に、帰還側においてもスイッチとインピーダンス素子は一つの組として演算増幅器29の反転入力端子と演算増幅器の出力端子に並列にn個接続されている。また、スイッチ制御回路39は入力側並びに帰還側に接続されているスイッチのオン/オフを制御する回路であり、スイッチ制御回路39からの制御信号は各々のスイッチに接続されている。

【0011】次に動作を説明する。図12に示す回路は\*

$$V_{out} = - \{ Z_{f1} / (Z_{i1} \parallel Z_{i2}) \} \cdot V_{in} \dots (4)$$

となる。尚、“ $\parallel$ ”は並列合成抵抗値を示す。

【0015】仮に、入力側のインピーダンス24、25、26、すなわちZi1、Zi2、…、Zimと、帰還側のインピーダンス34、35、36、すなわちZf1、Zf2、…、Zfnとのインピーダンス値がすべて同じ値であるとすれば、本回路の入出力関係は(4)式より、  

$$V_{out} = -2 V_{in} \dots (5)$$

となり、利得2倍の増幅回路となる。

【0016】以上のように、本回路のように典型的な反転増幅回路構成において、入力に接続しているインピーダンス値と帰還回路を構成しているインピーダンス値の比を、スイッチ制御回路からの制御信号によってスイッチのオン/オフを設定することによって利得を任意に変えることができる。

【0017】

\* 典型的な反転増幅回路の構成をしており、本回路の利得はVinと演算増幅器29の反転入力端子間に接続される入力インピーダンスと、演算増幅器29の出力端子と反転入力端子間に接続される帰還インピーダンスとの比によって決定される。Vinと演算増幅器29の反転入力端子間に接続される入力インピーダンスをZi、演算増幅器29の出力端子と反転入力端子間に接続される帰還インピーダンスをZfとすると、本回路の入出力の関係は、

$$V_{out} = - (Z_f / Z_i) \cdot V_{in} \dots (1)$$

で表される。

【0012】いま、仮にスイッチ制御回路からの制御信号によって入力側のm個あるスイッチのうち、スイッチ21のみオンで他のスイッチはすべてオフであったとし、また帰還側のn個あるスイッチのうち、スイッチ31のみオンで他はすべてオフであったとすると、本回路の入出力関係は(1)式より、

$$V_{out} = - (Z_{f1} / Z_{i1}) \cdot V_{in} \dots (2)$$

となる。

20 【0013】仮に入力側のインピーダンス24、25、26、すなわちZi1、Zi2、…、Zimと、帰還側のインピーダンス34、35、36、すなわちZf1、Zf2、…、Zfnのインピーダンス値がすべて同じ値であるとすれば、本回路の入出力関係は(2)式より、

$$V_{out} = - V_{in} \dots (3)$$

となり、利得1倍の増幅回路となる。

【0014】次に、利得制御が上記とは異なる場合の例を示す。いま、仮にスイッチ制御回路からの制御信号によって入力側のm個あるスイッチのうち、スイッチ21とスイッチ22がオンで他のスイッチはすべてオフであったとし、また帰還側のn個あるスイッチのうち、スイッチ31のみがオンで他はすべてオフであったとすると、本回路の入出力関係は(1)式より、

【発明が解決しようとする課題】第1の従来例の問題点は、回路利得の温度依存性が大いということである。利得の温度依存性が大いと、温度変動が大いところでの正確な利得制御ができない。その理由は、上述の回路では受動素子の抵抗素子を用いており、一般的に受動的な抵抗素子の温度係数は大きい。従って、抵抗比によって利得を制御している従来の利得制御回路においては、温度変動による利得の変動が大きくなる。

【0018】第2の従来例の問題点は、演算増幅器の容量性出力負荷が大いということである。容量性負荷が大いと利得制御回路として帯域が狭まり、高帯域分野に適用できない。その理由は、MOSトランジスタで構成されたスイッチが出力に並列に複数個接続されているためである。

50 【0019】尚、特開平5-7117号公報には、スイ

(4)

5

ッチドキャパシタ回路を増幅器の利得決定用の抵抗素子として使用した自動利得制御増幅器の例が開示されている。この例では、入力信号のレベルが変化した時に、自動的に出力レベルの変動を非常に小さくするための回路構成が提案されている。すなわち、増幅器の出力信号のピークを検出してその検出電圧の反転値で電圧制御発振器を制御し、その発振クロックを上記のスイッチドキャパシタ回路の駆動クロック信号としたものであり、出力信号レベルが大となると、電圧制御発振器の発振周波数を制御してスイッチドキャパシタ回路の駆動クロック信号の周期を可変しその等化抵抗値を制御している。この抵抗値の制御により、増幅器の利得が抑圧されて結果的に出力信号レベルが大となることを自動制御するものである。

【0020】この様に、増幅器の利得決定用抵抗素子として、スイッチドキャパシタ回路を利用し、入力信号レベルに応じて電圧制御発振器の発振クロックの周波数（周期）を連続的に制御して、結果としてスイッチドキャパシタ回路の等化抵抗値を連続的に制御する構成とすることにより、特性の良い自動利得制御増幅器を得るものである。

【0021】しかしながら、上記公開公報の技術では、増幅器の利得決定用抵抗素子として機能するスイッチドキャパシタ回路の一つのみの等化抵抗値を電圧制御発振器の出力クロック信号の周期を可変することにより制御しているので、増幅器の利得が抵抗値の比で決定される様な場合（ほとんどの増幅器の利得はそうである）、増幅利得の絶対精度は良好とはならないし、また温度依存性を有するという問題もある。

【0022】本発目の目的は、回路利得が温度変動に依存しにくい利得制御回路を提供することである。

【0023】本発明の他の目的は、利得の絶対精度が良好な利得制御回路を提供することである。

【0024】本発明の更に他の目的は、利得制御における線形性が良好な利得制御回路を提供することである。

【0025】本発明の別の目的は、IC（集積回路）内でスイッチ切り換え型の構成とする場合に回路が占める面積を小さくするようにした利得制御回路を提供することである。

【0026】本発明の更に別の目的は、IC内でスイッチ切り換え型の構成とする場合にスイッチを駆動する駆動回路の出力負荷を低減した利得制御回路を提供することである。

【0027】

【課題を解決するための手段】本発明によれば、第一及び第二の抵抗素子の抵抗値の比により増幅器の利得を決定するようにした利得制御回路であって、前記第一及び第二の抵抗素子として夫々機能する第一及び第二のスイッチドキャパシタ回路と、これ等第一及び第二のスイッチドキャパシタ回路の各々の駆動のための第一及び第二の駆

動クロック信号を生成するクロック信号生成手段と、前記第一及び第二の駆動クロック信号の周期比率を変化制御する制御手段とを含むことを特徴とする利得制御回路が得られる。

【0028】そして、前記クロック信号生成手段は、一定周期のクロック信号を発振する発振器と、この一定周期のクロック信号を分周して前記第一及び第二の駆動クロックを出力する分周器とを有することを特徴とする。また、前記制御手段は、前記第一及び第二の駆動クロックを生成するための前記分周器における第一及び第二の分周数を夫々設定する分周数設定手段を含むことを特徴とする。

【0029】更に、前記分周数設定手段は、前記第一及び第二の分周数を設定するための定数を外部から入力自在であることを特徴とする。また、前記周期比率は2つの前記定数の比率により定められるようにしたことを特徴とする。

【0030】本発明によれば、増幅器の利得が第一及び第二の抵抗素子の抵抗値の比により決定され、これ等第一及び第二の抵抗素子として第一及び第二のスイッチドキャパシタ回路を使用し、これ等第一及び第二のスイッチドキャパシタ回路を第一及び第二の駆動クロック信号により夫々駆動するようにした利得制御回路の利得制御方法であって、前記第一及び第二のスイッチドキャパシタ回路の各駆動クロックの周期比率により前記利得を決定するようにしたことを特徴とする利得制御方法が得られる。

【0031】そして、前記第一及び第二の駆動クロックの周期比率を外部からの設定により行うようにしたことを特徴とする。また、一定周期のクロック信号を分周器により第一及び第二の分周数で夫々分周して前記第一及び第二の駆動クロックとし、前記第一及び第二の分周数の比率を外部より設定するようにしたことを特徴とする。

【0032】本発明では、抵抗比で利得を決定する利得制御回路において、各抵抗素子をスイッチドキャパシタで構成される等価抵抗で構成する。従って、一般的な受動素子の抵抗素子を用いる必要がない。また、スイッチドキャパシタの等価抵抗値が、スイッチドキャパシタを駆動する周期とコンデンサ値で決定されることを利用している。従って、利得制御を抵抗比で実現する本利得制御回路では、スイッチドキャパシタを駆動するクロック信号の周期を制御することで利得を変化させることが出来る。

【0033】また本発明では、一般的な受動素子の抵抗素子を用いる必要がないため、本回路をICに構成するときには回路の占有するチップ面積を小さくすることができる。また、利得制御をスイッチドキャパシタを駆動する周期、すなわち分周回路の分周比を変化することで実現している。従って比較的容易に、且つ精度良く利得

を制御することができる。

#### 【0034】

【発明の実施の形態】次に、本発明の第一の実施の形態について図面を参照して詳細に説明する。図1は本発明の第一の実施の形態の構成図である。等価抵抗3、4は後述するスイッチドキャパシタ型回路で構成される等価抵抗である。発振器1は固有の周波数発生源であり、分周回路2にクロック信号を入力する。分周回路2はデジタル的分周回路であり、発振器1からのクロック信号を定数入力回路7からの分周情報(N, M)に従って分周し、等価抵抗3に対して1/M倍に分周したクロック信号 $\phi 1$ 、 $\phi 2$ を、また等価抵抗4に対して1/N倍に分周したクロック信号 $\phi 3$ 、 $\phi 4$ を夫々入力する。入力信号Einは等価抵抗3を介して演算増幅器5の反転入力端子に接続されており、演算増幅器5の非反転入力端子は接地され、出力端子Eoutは等価帰還抵抗4を介して演算増幅器5の反転入力端子に接続されている。

【0035】次に、図1における等価抵抗3、4の詳細な構成について図面を参照して説明する。図2、図3は図1における等価抵抗3、4の詳細な回路図である。図2において、M1、M3はNチャンネル型MOSトランジスタであり、M2、M4はPチャンネル型MOSトランジスタである。各トランジスタM1、M2のソースSとドレイン(D)とは接続されており、また各トランジスタM3、M4のソースとドレインとは接続されている。これらは従来から一般的に用いられているP/N相補型のMOSトランジスタで構成されるアナログスイッチである。トランジスタM1、M2のソースは図1における入力信号(Ein)と接続され、トランジスタM1、M2のドレインはコンデンサC1と、トランジスタM3、M4のソースに接続されている。

【0036】トランジスタM1、M2のゲートには、図1における分周回路2からの分周クロック信号 $\phi 1$ 、 $\phi 2$ が夫々入力される。また、トランジスタM3、M4のソースとドレインとは夫々コンデンサC1の両端子に並列に接続されており、コンデンサC1の一方の端子に接続されているトランジスタM3、M4のドレインは、図1における演算増幅器5の反転入力端子に接続されている。トランジスタM3、M4のゲートには、図1における分周回路2からの分周クロック信号 $\phi 2$ 、 $\phi 1$ が夫々入力される。

【0037】図3において、トランジスタM5、M6、\*

$$Q = C \{ V_o(n+0.5)t - V_i(n+0.5)t \} [C] \quad \cdots (6)$$

の電荷が転送される。

$$I = C \{ V_o(n+0.5)t - V_i(n+0.5)t \} / T [A] \quad \cdots (7)$$

となり、仮に $\phi 1$ 、 $\phi 2$ のクロック周波数の周期が $V_i$ 、 $V_o$ のスペクトル最高周波数よりも十分に高い場合は、図4(A)に示す回路は等価的に図4(C)の抵抗で表される。その等価抵抗値は、 $R = T/C [\Omega] \quad \cdots (8)$

\*M7、M8並びにコンデンサC2は、夫々図2におけるトランジスタM1、M2、M3、M4並びにコンデンサC1と全く同等の素子である。M5、M7はNチャンネル型MOSトランジスタであり、M6、M8はPチャンネル型MOSトランジスタである。各トランジスタM5、M6のソースとドレインとは接続されており、また各トランジスタM7、M8のソースとドレインとは接続されている。

【0038】トランジスタM5、M6のソースは図1における演算増幅器5の反転入力端子に接続され、トランジスタM5、M6のドレインはコンデンサC2とトランジスタM7、M8のソースとに接続されている。トランジスタM5、M6のゲートには、図1における分周回路2からの分周クロック信号 $\phi 3$ 、 $\phi 4$ が夫々入力される。また、トランジスタM7、M8のソースとドレインは、それぞれコンデンサC2の両端子に並列に接続されており、コンデンサC2の一方の端子に接続されているトランジスタM7、M8のドレインは、図1における演算増幅器5の出力端子(Eout)に接続されている。トランジスタM7、M8のゲートには、図1における分周回路2からの分周クロック信号 $\phi 4$ 、 $\phi 3$ が夫々入力される。

【0039】次に、基本的なスイッチドキャパシタの回路構成と動作について説明する。図4は基本的なスイッチドキャパシタの回路構成図である。また図5は図4のスイッチドキャパシタを駆動するタイミングを示すタイミング図である。図4(A)及び(B)の回路において、スイッチS1、S2はMOSトランジスタで構成されるアナログスイッチである。スイッチS1は2相クロックの $\phi 1$ が“H(ハイレベル)”の期間にオンし、“L(ローレベル)”の期間にオフするものとする。同様に、スイッチS2は2相クロック $\phi 2$ が“H”の期間にオンし、“L”の期間にオフするものとする。また図4における $V_i$ 、 $V_o$ は電圧源であるとする。

【0040】図4(A)では、S1がオン、S2がオフの時にコンデンサCに充電される電荷は $Q=0 [C]$ で、S2がオン、S1がオフとなると、コンデンサCに充電される電荷は $Q=C(V_o - V_i) [C]$ である。図5に示すように、 $\phi 1$ の立ち下がり時刻を $nt$ 、 $\phi 2$ の立ち下がり時刻を $(n+0.5)t$ 、 $\phi 1$ の次の立ち下がり時刻を $(n+1)t$ とし、Tをクロックの周期と定義すると、電源 $V_i$ から $V_o$ へは、

※ ※ 【0041】従って、1周期の平均電流は、

となる。

【0042】図4(B)の回路では、時刻 $(n-0.5)t$ までコンデンサCに、 $Q=C(V_o(n-0.5)t) [C]$ の電荷が蓄積されており、スイッチS1がオン、

S2がオフとなると、 $Q=C V_i(n)t$ の電荷がコンデン



サCに充電される。従って、時刻 $n t$ までの間に、 $V_i$ よりCへ電荷 $Q=C \{V_o(n-0.5)t - V_i(n)t\}$  [C]が転送される。

【0043】次に、スイッチS2がオン、S1がオフと\*

$$Q=C \{V_o(n+0.5)t - V_i(n)t\} \text{ [C]} \quad \cdots (9)$$

となり、図4 (A)と同様に $\phi 1$ 、 $\phi 2$ のクロック周波数の周期が $V_i$ 、 $V_o$ のスペクトル最高周波数よりも十分に高い場合は等価的に抵抗素子と見なせる。

【0044】次に、図1の回路の動作について図を参照して詳細に説明する。前述のように、図1で示される等価抵抗3、4は夫々図2、3のスイッチドキャパシタ回路で構成される等価抵抗である。また、図6は等価抵抗3並びに4を駆動するパルスのタイミングチャートである。図2、3のスイッチドキャパシタ回路は、基本的なスイッチドキャパシタ回路の構成で述べた図4 (A)同様の回路構成であり、等価抵抗と見なすことができる。そして、その等価抵抗値はスイッチドキャパシタを構成するコンデンサ容量と、スイッチの駆動周期によって任意に与えることができる。図1に示す回路は典型的な反転増幅回路の構成であり、この回路の入出力の関係は

$$E_{out} = - (R_2/R_1) \cdot E_{in} \quad \cdots (10)$$

で表される。  
【0045】すなわち、増幅度 $A_v$ は等価抵抗 $R_1$ と $R_2$ の抵抗比で決まり、

$$E_{out} = - \{ (T_2/C_2) / (T_1/C_1) \} \cdot E_{in} \quad \cdots (12)$$

の様に導かれる。

【0048】ここで、 $C_1=C_2$ とコンデンサ値を設定するならば、

$$E_{out} = - (T_2/T_1) \cdot E_{in} \quad \cdots (13)$$

となり、本利得制御回路の利得は等価抵抗3、4を駆動する $\phi 1$ 、 $\phi 2$ と $\phi 3$ 、 $\phi 4$ のクロック信号周期の比で与えられる。 $\phi 1$ 、 $\phi 2$ と $\phi 3$ 、 $\phi 4$ のクロック信号周期は分周回路2に与える分周情報(M, N)によって決められるので、結果として本利得制御回路の利得は分周回路2に与える分周情報MとNとの比で決定されることになる。

【0049】いま、仮に本利得制御回路で利得を2倍に設定する場合には、(13)式において $T_1:T_2=1:2$ とすればよい。従って、分周回路2に与える分周情報M値とN値との比を $1:2$ とすれば本利得制御回路の利得は2倍に設定される。

【0050】次に本発明の第1の実施の形態の効果について説明する。本発明の第1の実施の形態では、利得制御回路の利得をスイッチドキャパシタを駆動するクロック信号周期の比( $T_1:T_2$ )、すなわち分周回路2の分周比によって決定しているため、利得の絶対精度が従来の抵抗素子を用いた場合と比較して良好である。同様な理由により利得制御の線形性も良好である。また、受動素子である抵抗素子を回路に用いていないため、従来の利得制御回路に見受けられるような、利得の温度依存性

\* となると、コンデンサCには $Q=CV_o(n+0.5)t$  [C]の電荷が蓄積され、時刻 $(n+0.5)t$ までにCからV<sub>o</sub>に転送される電荷は、

$$\ast A_v = R_2/R_1 \quad \cdots (11)$$

となる。

【0046】発振器1は固有の周波数のクロック信号を発生し、分周回路2へクロック信号を入力する。定数入力装置7は外部から分周回路2の分周比、すなわちM並びにN値(M, Nは整数に限らない)を、本利得制御回路へ入力する入力装置である。分周回路2は与えられたクロック信号を定数入力装置7から指定されたM, N値に従ってクロック信号を分周する。同時に、分周回路2は分周したクロック信号 $\phi 1$ 、 $\phi 2$ を等価抵抗3に、クロック信号 $\phi 3$ 、 $\phi 4$ を等価抵抗4へ夫々入力する。

【0047】いま、分周されたクロック信号、すなわち $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ 、 $\phi 4$ のタイミングが図6に示す関係であったとする。具体的に $\phi 1$ 、 $\phi 2$ が相補型のパルスでその周期が $T_1$ 、 $\phi 3$ 、 $\phi 4$ が相補型のパルスでその周期が $T_2$ であるとする。また、図2、3に示すスイッチドキャパシタのコンデンサ値をそれぞれ $C_1$ 、 $C_2$ とする。この時、本利得制御回路の入出力関係は式

(8)、(10)から、

$$(8), (10) \text{ から、}$$

は小さい。

【0051】さらに、従来のような受動素子の抵抗素子を用いて構成される利得制御回路をIC内部に構成する場合は、一般に抵抗素子が占める面積が大きいために回路が占める面積は大きくなるが、本利得制御回路では従来のような抵抗素子を用いて回路を構成していないため、IC内部を占める面積を小さくできる。加えて、本発明の回路構成では、駆動端子、例えば演算増幅器の出力端子から見た負荷はスイッチドキャパシタで構成される等価抵抗が1つしかなく駆動負荷が小さい。従って、従来の利得制御回路に見られるように、利得制御を実現するために複数のスイッチドキャパシタ回路を接続して、著しく信号帯域を低下させてしまうような現象は避けられる。

【0052】次に、本発明の第2の実施の形態について図面を参照して詳細に説明する。図7、8は本発明の第1の実施の形態(図1)における等価抵抗3、4の詳細な構成図であり、且つ図4 (B)に示されるスイッチドキャパシタ回路の詳細な構成図でもある。前述のように、図4 (A)、(B)の各々のスイッチドキャパシタ回路構成で等価抵抗を実現できる。

【0053】本発明の第2の実施の形態は、等価抵抗を構成するスイッチドキャパシタの構成が図4 (B)の構成を採っており、本発明の第1の実施の形態における等価抵抗3、4を図7、8に示す詳細なスイッチドキャ



シタの構成で置き換えれば、本発明の第1の実施の形態と同等の効果が得られる。

【0054】図7において、M11, M13はNチャンネル型MOSトランジスタであり、M12, M14はPチャンネル型MOSトランジスタである。各トランジスタM11, M12のソース(S)とドレイン(D)とは接続されており、また各トランジスタM13, M14のソースとドレインとは接続されている。これらは従来から一般的に用いられているP/N相補型のMOSトランジスタで構成されるアナログスイッチである。

【0055】トランジスタM11, M12のソースは図1における入力信号(Ein)と接続され、トランジスタM11, M12のドレインはコンデンサC3と、トランジスタM13, M14のソースに接続されている。トランジスタM11, M12のゲートには、図1における分周回路2からの分周クロック信号φ1, φ2が夫々入力される。また、トランジスタM13, M14のソースは、トランジスタM11, M12のドレインとコンデンサC3に接続されており、コンデンサC3の一方の端子はGNDに接地されている。またトランジスタM13, M14のドレインは、図1における演算増幅器5の反転入力端子に接続されている。トランジスタM13, M14のゲートには、図1における分周回路2からの分周クロック信号φ2, φ1が夫々入力される。

【0056】図8において、トランジスタM15~18並びにコンデンサC4は夫々図7におけるトランジスタM11~M14並びにコンデンサC3と全く同等の素子である。M15, M17はNチャンネルMOSトランジスタであり、M16, M18はPチャンネルMOSトランジスタである。各トランジスタM15, M16のソースとドレインとは接続

$$E_{out} = \{ (R1 + R2) / R1 \} \cdot E_{in} \cdots (14)$$

で表される。

【0061】本発明の第3の実施の形態における増幅度は、本発明の第1の実施の形態と同様にR1, R2によって決定される。従って、増幅度は分周回路2の分周比、すなわち定数入力装置7の定数を変化させれば、本回路の利得を任意に設定することが出来る。

【0062】次に、本発明の第4の実施の形態について図面を参照して説明する。図10は本発明の第4の実施の形態の構成図である。図10における発振器1、等価

$$E_{out} = \{ (R1 + R2) / R1 \} \cdot \{ R4 / (R3 + R4) \} \cdot E_{in2} + \{ - (R2 / R1) \} \cdot E_{in1} \cdots (15)$$

で表される。

【0063】本発明の第4の実施の形態では、本発明の第1及び第3の実施の形態と同様に、等価抵抗3, 4, 8, 9、すなわちR1, R2, R3, R4の抵抗比が任意に設定できる。従って本回路の利得は任意に設定できる。

【0064】

【発明の効果】第1の効果は、回路利得の温度変動が小

\*されており、また各トランジスタM17, M18のソースとドレインとは接続されている。

【0057】トランジスタM15, M16のソースは図1における演算増幅器5の反転入力端子に接続され、トランジスタM15, M16のドレインはコンデンサC4と、トランジスタM17, M18のソースに接続されている。トランジスタM15, M16のゲートには、図1における分周回路2からの分周クロック信号φ3, φ4が夫々入力される。また、トランジスタM17, M18のソースは、トランジスタM15, M16のドレインとコンデンサC4に接続されており、コンデンサC4の一方の端子はGNDに接地されている。またトランジスタM17, M18のドレインは、図1における演算増幅器5の出力端子(Eout)に接続されている。トランジスタM17, M18のゲートには、図1における分周回路2からの分周クロック信号φ4, φ3が夫々入力される。

【0058】図7, 8において、本発明の第1の実施の形態と同様に、コンデンサC3とC4の値を同じと設定すれば、利得制御回路の利得は図1における分周回路2の分周比で決定することができ、第1の実施の形態と全く同等の効果が得られる。

【0059】次に、本発明の第3の実施の形態について図面を参照して説明する。図9は本発明の第3の実施の形態の構成図である。図9における発振器1、分周回路2、等価抵抗3, 4、演算増幅器5、定数入力装置7は図1に示した本発明の第1の実施の形態の構成図にあるものと同等である。

【0060】図9に示す回路は演算増幅器5を用いた典型的な非反転増幅回路である。この回路の入出力関係は、

※抵抗3, 4、演算増幅器5、定数入力装置7は図1に示した本発明の第1の実施の形態の構成図にあるものと同等である。また、等価抵抗8, 9は等価抵抗3あるいは4と同等であり、分周回路2からスイッチドキャパシタのスイッチを駆動するためのクロック信号が、スイッチドキャパシタで構成されたそれぞれの等価抵抗(等価抵抗3, 4, 8, 9)に入力されている。図10に示す回路は典型的な差動増幅回路であり、この回路の入出力関係は、

さいということである。このため、広い温度範囲での回路動作が可能となる。その理由は、従来のように受動素子である抵抗素子を用いず、スイッチドキャパシタによる等価抵抗を用いているためである。

【0065】第2の効果は、本回路をIC内に構成する場合に、回路が占めるチップ面積を小さくすることが出来るということである。このため、ICのチップサイズ縮小やICのコストダウンに貢献できる。その理由は、

広い面積を占有する抵抗素子ではなく、トランジスタとコンデンサで構成するスイッチドキャパシタ回路による抵抗素子を用いて利得制御回路を構成しているためである。

【0066】第3の効果は、絶対的な利得の精度が良好であるということである。その理由は、利得制御をスイッチドキャパシタを駆動する周期、すなわち分周回路の分周比を変化させることで実現しているためである。

【0067】第4の効果は、利得制御の線形性が良好であるということである。その理由は、利得制御をスイッチドキャパシタを駆動する周期、すなわち分周回路の分周比を変化させることで実現しているためである。

【0068】第5の効果は、スイッチとコンデンサで構成された利得制御回路において、スイッチとコンデンサが付加されたことによる帯域の低下を最小限に抑えることが出来るということである。このため、本利得制御回路は高帯域の用途に適用できる。その理由は、スイッチドキャパシタ回路を駆動する周期を変化させることで利得制御を行っているため、最小限のスイッチとコンデンサの数で利得制御回路を構成でき、出力負荷が少ないためである。

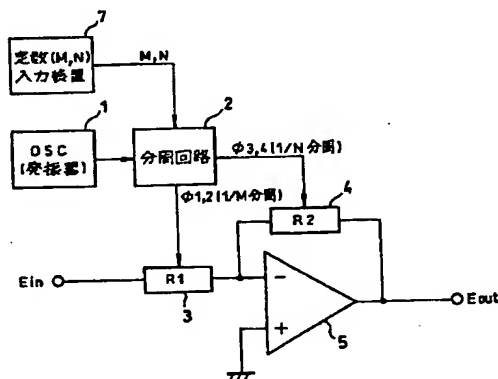
【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示すブロック図である。

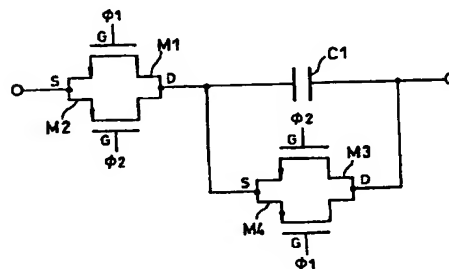
【図2】図1の等価抵抗の詳細な構成を示すブロック図である。

【図3】図1の等価抵抗の詳細な構成を示すブロック図

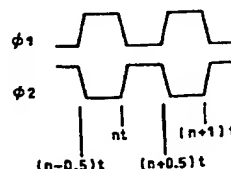
【図1】



【図2】



【図5】



である。

【図4】基本的なスイッチドキャパシタ回路の構成を示すブロック図である。

【図5】図4のスイッチドキャパシタを駆動するタイミング図である。

【図6】図1に示す等価抵抗を駆動するタイミングを示すタイミング図である。

【図7】本発明の第2の実施の形態の等価抵抗を示す詳細回路図である。

【図8】本発明の第2の実施の形態の等価抵抗を示す詳細回路図である。

【図9】本発明の第3の実施の形態を示す構成図である。

【図10】本発明の第4の実施の形態を示す構成図である。

【図11】従来の利得制御回路の一例を示すブロック図である。

【図12】従来の利得制御回路の他の一例を示すブロック図である。

【符号の説明】

1 発振器

2 分周回路

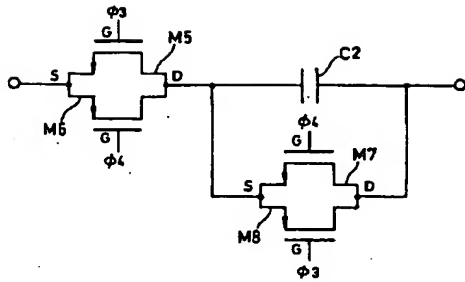
3, 4, 8, 9 スwitchドキャパシタで構成される等価抵抗

5 演算増幅器

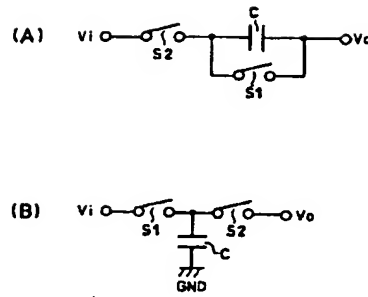
7 定数入力装置

C1~C4 コンデンサ

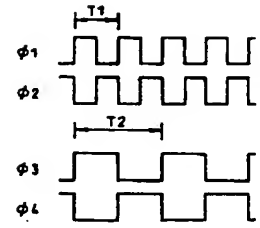
【図3】



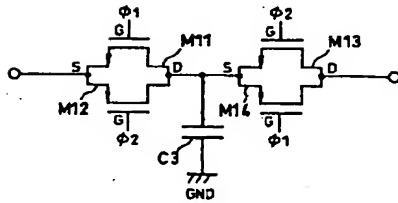
【図4】



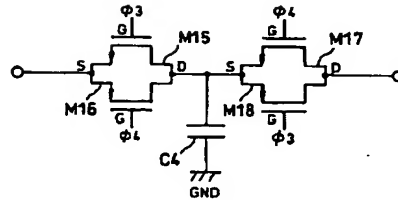
【図6】



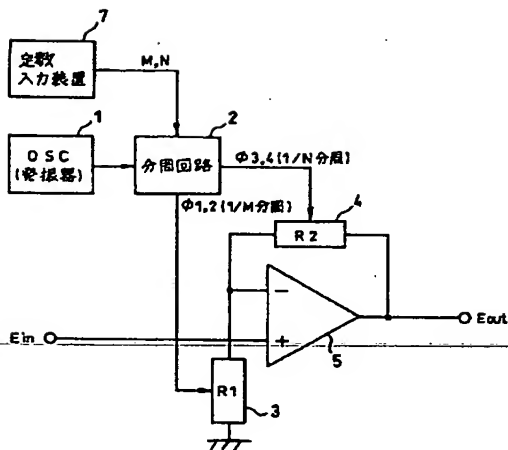
【図7】



【図8】



【図9】



【図10】

